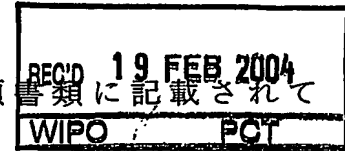


CT/JP 03/16865

26.12.03

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月24日

出願番号
Application Number: 特願2003-015637
[ST. 10/C]: [JP 2003-015637]

出願人
Applicant(s): ソニー株式会社

Best Available Copy

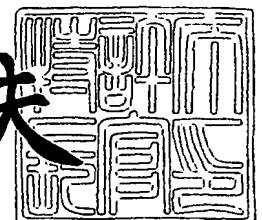
Best Available Copy

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0390011503

【提出日】 平成15年 1月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6丁目 7番 3 5号 ソニー株式会社
 内

 【氏名】 寺西 康幸

【発明者】

 【住所又は居所】 東京都品川区北品川 6丁目 7番 3 5号 ソニー株式会社
 内

 【氏名】 仲島 義晴

【発明者】

 【住所又は居所】 東京都品川区北品川 6丁目 7番 3 5号 ソニー株式会社
 内

 【氏名】 豊澤 昇

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100102185

 【弁理士】

 【氏名又は名称】 多田 繁範

 【電話番号】 03-5950-1478

【手数料の表示】

 【予納台帳番号】 047267

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9713935

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ラッチ、ラッチの駆動方法、フラットディスプレイ装置

【特許請求の範囲】

【請求項1】

連続する画像データをサンプリングラッチするラッチ、又は前段のサンプリングラッチのラッチ結果をラッチするラッチであって、

CMOSラッチセルと、

前記CMOSラッチセルを電源に接続する電源スイッチと、

前記CMOSラッチセルの入力段に配置された入力スイッチとを有するラッチであって、

前記電源スイッチと前記入力スイッチとを相補的にオンオフ操作することにより、

前記CMOSラッチセルを電源から切り離した状態で、ラッチに供するデータを前記CMOSラッチセルにセットした後、

前段の回路から前記CMOSラッチセルの入力を切り離すと共に、前記CMOSラッチセルの電源を立ち上げて、前記CMOSラッチセルにセットしたデータをレベルシフトさせる

ことを特徴とするラッチ。

【請求項2】

連続する画像データをサンプリングラッチするCMOSラッチセル、又は前段のサンプリングラッチのラッチ結果をラッチするCMOSラッチセルによるラッチの駆動方法において、

前記CMOSラッチセルを電源から切り離した状態で、前記CMOSラッチセルの入力を前段の回路に接続して前記CMOSラッチセルに対応するデータをセットした後、

前記前段の回路から前記CMOSラッチセルの入力を切り離すと共に、前記CMOSラッチセルの電源を立ち上げて、前記CMOSラッチセルにセットしたデータをレベルシフトさせる

ことを特徴とするラッチの駆動方法。

【請求項3】

マトリックス状に画素を配置してなる表示部と、前記表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置において、前記駆動回路のうちの、前記表示部の画素の階調を設定する水平駆動回路が、連続する画像データを順次ラッチするサンプリングラッチと、前記サンプリングラッチによるラッチ結果を1ライン周期でラッチする第2ラッチと、

前記第2ラッチの出力をデジタルアナログ変換して前記表示部に出力するデジタルアナログ変換回路とを備え、

前記サンプリングラッチ又は前記第2ラッチは、

CMOSラッチセルを電源から切り離した状態で、前記CMOSラッチセルの入力を前段の回路に接続して前記CMOSラッチセルに対応するデータをセットした後、

前記前段の回路から前記CMOSラッチセルの入力を切り離すと共に、前記CMOSラッチセルの電源を立ち上げて、前記CMOSラッチセルにセットしたデータをレベルシフトさせる

ことを特徴とするフラットディスプレイ装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、ラッチ、ラッチの駆動方法、フラットディスプレイ装置に関し、例えば液晶表示装置の水平駆動回路、この水平駆動回路による液晶表示装置等に適用することができる。本発明は、CMOSラッチセルを電源から切り離した状態で、このCMOSラッチセルの入力を前段の回路に接続して対応するデータをセットした後、この前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせることにより、従来に比して消費電力を低減し、構成を簡略化し得るようにする。

【0002】

【従来の技術】

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

【0003】

この種の液晶表示装置においては、例えば特開2000-242209号公報に開示されているように、複数系統の基準電圧を画像データに応じて選択することにより画像データをデジタルアナログ変換して駆動信号を生成する方式が採用されるようになされている。

【0004】

すなわち図7は、この方式によるデジタルアナログ変換回路を示す接続図である。デジタルアナログ変換回路1は、画像データD1の各ビットb0～b4の論理値によりそれぞれオンオフ動作するスイッチ回路による直列回路が階調に対応して複数個設けられ、これらの直列回路一端にそれぞれ各基準電圧V0～V31が供給され、またこれら直列回路の他端が液晶表示パネルのコラム線SIGOUTに接続される。なおこの図7は、画像データD1が5ビットの場合であり、スイッチ回路は、導電型のMOS（Metal Oxide Semiconductor）トランジスタにより形成され、画像データD1の値に応じて対応する基準電圧を選択し得るように、Nチャンネル及びPチャンネルが適宜配置される。これによりデジタルアナログ変換回路1は、画像データD1に応じて基準電圧V0～V31を選択して出力するようになされている。

【0005】

このようなデジタルアナログ変換回路1の構成に対応して、この種の液晶表示装置においては、画像データD1の各ビットb0～b4をレベルシフトさせてデジタルアナログ変換回路1に入力し、これによりデジタルアナログ変換回路のスイッチ回路を構成する導電型のMOSトランジスタを確実にオンオフ制御するようになされている。

【0006】

すなわち図8は、デジタルアナログ変換回路1に入力される画像データD1について、その1ビットの処理系を示す接続図である。この種の液晶表示装置においては、この1ビットの処理系が画像データD1のビット数分だけ設けられて、図7のデジタルアナログ変換回路1と共に、1個の液晶セルについての階調が設定され、またこの1個の液晶セルに対応する構成が水平方向に連続する液晶セルに対応して順次形成されて水平駆動回路が構成される。

【0007】

ここでこの処理系は、ラスタ走査順に入力される画像データDATAを対応するタイミングでサンプリングするサンプリングラッチ3と、このサンプリングラッチによりラッチ結果を水平走査周期でラッチした後、レベルシフトさせる第2ラッチ4とにより構成される。

【0008】

サンプリングラッチ3は、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ2からなるCMOSインバータ5と、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOSトランジスタQ3及びPMOSトランジスタQ4からなるCMOSインバータ6とが電源VDD1及びグランドとの間に並列に接続される。サンプリングラッチ3は、CMOSインバータ5の出力がCMOSインバータ6に入力され、またサンプリングパルスspの反転信号によりオンオフ動作するNMOSトランジスタQ5を介して、CMOSインバータ6の出力がCMOSインバータ5に入力される。これによりサンプリングラッチ3は、比較器構成のCMOSラッチセル7が形成されるようになされている。サンプリングラッチ3は、サンプリングパルスspによりオンオフ動作するNMOSトランジスタQ6を介して、CMOSインバータ5に画像データの1ビットのデータDATAが入力される。なおここでこのデータDATAにおいては、論理値に応じて0～3〔V〕程度により信号レベルが変化するようになされている。

【0009】

サンプリングラッチ3は、このような比較器構成のCMOSラッチセル7でラ

ッチされたラッチ結果が、NMOSトランジスタQ7及びPMOSトランジスタQ8からなるCMOSインバータ8に入力されて続く第2ラッチ4に出力され、またこのCMOSインバータ8の反転出力が、NMOSトランジスタQ9及びPMOSトランジスタQ10からなるCMOSインバータ9を介して続く第2ラッチ4に出力される。これにより図9に示すように、サンプリングラッチ3においては、サンプリングパルス s_p (図9 (B)) によりデータDATA (図9 (A)) をラッチし、ラッチ結果1Lout (図9 (C)) を出力するようになされている。

【0010】

第2ラッチ4は、NMOSトランジスタQ12及びPMOSトランジスタQ12からなるCMOSインバータ10と、NMOSトランジスタQ13及びPMOSトランジスタQ14からなるCMOSインバータ11とにより比較器構成のCMOSラッチセル12が形成され、サンプリングラッチ3のラッチ結果1Lout、このラッチ結果1Loutの反転出力をラッチパルス oe_1 により動作するNMOSトランジスタQ15、Q16を介して、このCMOSラッチセル12に入力する。

【0011】

第2ラッチ4は、所定のパルス oe_2 、このパルス oe_2 の反転信号 xoe_2 により相補的にオンオフ動作するNMOSトランジスタQ17、Q19を介して、CMOSラッチセル12がグラウンドに接続され、また同様のPMOSトランジスタQ20、Q22を介して、CMOSラッチセル12が電源VDD2及びVDD1に接続される。また第2ラッチ4は、このCMOSラッチセル12の出力を、NMOSトランジスタQ23及びPMOSトランジスタQ24からなるCMOSインバータ13を介してデジタルアナログ変換回路1の対応するビットに出力する。第2ラッチ4においては、パルス oe_2 (図9 (E)) の設定により、CMOSラッチセル12の電源をサンプリングラッチ3の電源VDD1と同一電源に設定した後(時点 t_1)、ラッチパルス oe_1 (図9 (D)) によりサンプリングラッチ3のラッチ結果をCMOSラッチセル12にラッチするようになされている(時点 t_2)。またこのようにしてラッチ結果をCMOSラッチセル

12でラッチすると、ラッチパルス $\phi e1$ の立ち下げによりサンプリングラッチ3を切り離した後（時点 $t3$ ）、パルス $\phi e2$ の立ち下げにより、CMOSラッチセル12の電源電圧を切り換え（時点 $t4$ ）、これによりラッチ結果をレベルシフトさせて出力するようになされている（図9（F））。

【0012】

【特許文献1】

特開2000-242209号公報

【0013】

【発明が解決しようとする課題】

【0014】

ところで図8について上述した第2ラッチ4においては、相補的にオンオフ動作してCMOSラッチセル12の電源を切り換えるトランジスタQ20、Q22が、瞬間的に、同時にオン状態となる場合を完全に防止し得ず、この場合、第2ラッチ4で瞬間的に大きな電力を消費することになる。具体的には、電源VDD2から電源VDD1に、また電源VSS1から電源VSS2に貫通電流が流れる恐れがある。

【0015】

これによりこのような瞬間的な貫通電流を防止することができれば、その分、この種のフラットディスプレイ装置においては、消費電力を低減して使い勝手を向上することができる。

【0016】

またこの第2ラッチ4の構成を簡略化することができれば、その分、この種の表示装置において、いわゆる狭額縁化を図ることできる。

【0017】

本発明は以上の点を考慮してなされたもので、従来に比して消費電力を低減し、簡易な構成によるラッチ、ラッチの駆動方法、フラットディスプレイ装置を提案しようとするものである。

【0018】

【課題を解決するための手段】

かかる課題を解決するため請求項 1 の発明においては、連続する画像データをサンプリングラッチするラッチ、又は前段のサンプリングラッチのラッチ結果をラッチするラッチに適用して、CMOS ラッチセルと、CMOS ラッチセルを電源に接続する電源スイッチと、CMOS ラッチセルの入力段に配置された入力スイッチとを有するラッチであって、電源スイッチと入力スイッチとを相補的にオンオフ操作することにより、CMOS ラッチセルを電源から切り離した状態で、ラッチに供するデータを CMOS ラッチセルにセットした後、前段の回路から CMOS ラッチセルの入力を切り離すと共に、CMOS ラッチセルの電源を立ち上げて、CMOS ラッチセルにセットしたデータをレベルシフトさせる。

【0019】

また請求項 2 の発明においては、連続する画像データをサンプリングラッチする CMOS ラッチセル、又は前段のサンプリングラッチのラッチ結果をラッチする CMOS ラッチセルによるラッチの駆動方法に適用して、CMOS ラッチセルを電源から切り離した状態で、CMOS ラッチセルの入力を前段の回路に接続して CMOS ラッチセルに対応するデータをセットした後、前段の回路から CMOS ラッチセルの入力を切り離すと共に、CMOS ラッチセルの電源を立ち上げて、CMOS ラッチセルにセットしたデータをレベルシフトさせる。

【0020】

また請求項 3 の発明においては、マトリックス状に画素を配置してなる表示部と、表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置に適用して、駆動回路のうちの、表示部の画素の階調を設定する水平駆動回路が、連続する画像データを順次ラッチするサンプリングラッチと、サンプリングラッチによるラッチ結果を 1 ライン周期でラッチする第 2 ラッチと、第 2 ラッチの出力をデジタルアナログ変換して表示部に出力するデジタルアナログ変換回路とを備え、サンプリングラッチ又は第 2 ラッチは、CMOS ラッチセルを電源から切り離した状態で、CMOS ラッチセルの入力を前段の回路に接続して CMOS ラッチセルに対応するデータをセットした後、前段の回路から CMOS ラッチセルの入力を切り離すと共に、CMOS ラッチセルの電源を立ち上げて、CMOS ラッチセルにセットしたデータをレベルシフトさせる。

【0021】

請求項1の構成によれば、電源スイッチと入力スイッチとを相補的にオンオフ操作することにより、CMOSラッチセルを電源から切り離した状態で、ラッチに供するデータをCMOSラッチセルにセットした後、前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせれば、1つの電源への接続の処理により、電源を切り換える際の貫通電流を有効に回避し得、その分、消費電力を少なくすることができる。また電源に係る制御が簡単になった分、全体構成を簡略化することができる。

【0022】

これにより請求項2及び請求項3の発明においては、従来に比して消費電力を低減し、簡易な構成によるラッチの駆動方法、フラットディスプレイ装置を提供することができる。

【0023】

【発明の実施の形態】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

【0024】

(1) 第1の実施の形態

図2は、本発明の第1の実施の形態に係る携帯端末装置に係る画像表示部を示すブロック図である。この携帯端末装置は、例えば携帯電話、PDA等であり、この画像表示部31により所望の画像を表示する。このためこの画像表示部31においては、画像処理回路32に内蔵の画像メモリに画像データD1を格納し、この画像データD1を順次液晶表示装置33に出力する。またこの画像データD1の出力に同期して、マスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCを出力する。

【0025】

この携帯端末装置は、内蔵の液晶表示装置33にこれら画像データD1、マスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCを入力し、この液晶表示装置33により画像を表示する。ここでこの液晶表示装置33は

、マトリックス状に画素を配置してなる表示部34と、この表示部34の画素を駆動する駆動回路35とをガラス基板上に一体に形成してなるフラットディスプレイ装置である。この実施の形態では、この表示部34の画素が、液晶セル、この液晶セルをスイッチングするポリシリコンTFT、補助容量とにより構成される。

【0026】

これに対して駆動回路35は、インターフェース(IF)36を介してマスタクロックMCK、垂直同期信号VSYNC、水平同期信号HSYNCをタイミングジェネレータ(TG)37に入力し、ここで各種動作基準のタイミング信号を生成する。DC-DCコンバータ(DDC)41は、このタイミングジェネレータ37で生成される所定のタイミング信号により動作して、この液晶表示装置33に供給される電源VDDから各部の動作に必要な電源VDD2、VVSS2、HVSS2等を生成する。

【0027】

垂直駆動回路38は、同様に、タイミングジェネレータ37で生成される所定のタイミング信号により動作して、表示部34のラインを選択する選択信号を出力する。基準電圧発生回路39は、水平駆動回路40の処理に必要な基準電圧を生成し、水平駆動回路40は、画像データD1による階調データにより表示部34の対応する画素の階調を設定する。

【0028】

この実施の形態においてこの水平駆動回路40は、図3に示すようにサンプリングラッチ51、第2ラッチ52、デジタルアナログ変換回路(DAC)53により構成される。ここでデジタルアナログ変換回路53は、図7について上述したデジタルアナログ変換回路1と同一に構成される。

【0029】

図1に示すように、またサンプリングラッチ51は、図8について上述したサンプリングラッチ3と同一に構成される。これに対して第2ラッチ52は、電源及びアースに配置されたトランジスタQ22、Q17が省略されて、またトランジスタQ19、Q20が、第2ラッチ52の入力を制御するアウトプットイネー

ブル o e により共通に制御される点を除いて、図 8 について上述した従来構成による第 2 ラッチ 4 と同一に構成される。

【0030】

すなわち図 4 に示すように、従来と同様に、サンプリングラッチ 5 1 においては、振幅 0～6 [V] のサンプリングパルス s p (図 4 (B)) により振幅 0～3 [V] のデータ DATA (図 4 (A)) をラッチし、これにより振幅 0～3 [V] のラッチ結果 1 L o u t (図 4 (C)) を出力する。

【0031】

第 2 ラッチ 5 2 においては、振幅 3～6 [V] のアウトプットイネーブルパルス o e (図 4 (D)) が時点 t 1 で立ち上がることにより、このサンプリングラッチ 5 1 によりラッチ結果 1 L o u t (図 4 (C)) が、CMOS インバータ 1 0 及び 1 1 を構成するトランジスタ Q 1 1～Q 1 4 のゲートに転送され (図 4 (E))、続く時点 t 2 でアウトプットイネーブルパルス o e が立ち下がると、サンプリングラッチ 5 1 との接続が絶たれると共に、CMOS ラッチセル 1 2 が電源 VDD 2 に接続され、これによりレベルシフトされたデータ信号 2 L o u t が出力される。

【0032】

これらによりこの実施の形態では、ラッチに使用する CMOS 構成の CMOS ラッチセル 1 2 を電源 VDD 2、VSS 2 から切り離れた状態で、ラッチに供するデータをこの CMOS ラッチセル 1 2 にセットした後、前段の回路からこの CMOS ラッチセル 1 2 の入力を切り離すと共に、トランジスタ Q 1 9、Q 2 0 によりこの CMOS ラッチセル 1 2 の電源を立ち上げることにより、従来のようなトランジスタ Q 2 2、Q 2 0 による 2 つの電源 VDD 1、VDD 2 の切り換えを実施しなくても、データ信号 2 L o u t をレベルシフトさせて出力できるようになされている。

【0033】

これにより水平駆動回路 4 0 においては、1 ビットの処理に係る第 2 ラッチでそれぞれトランジスタを 2 個ずつ省略することができ、これにより構成を簡略化して狭額縁化を図り得るようになされている。また電源の切り換えによる貫通電

流の発生についても有効に回避し得、その分、消費電力を少なくすることができるようになされている。また電源の配線も小さくし得、これによっても全体構成を簡略化することができるようになされている。。

【0034】

以上の構成によれば、ラッチに使用するCMOS構成のラッチセル12を電源VDD2、VSS2から切り離した状態で、ラッチに供するデータをこのCMOSラッチセル12にセットした後、前段の回路からこのCMOSラッチセル12の入力を切り離すと共に、トランジスタQ19、Q20によりこのCMOSラッチセル12の電源を立ち上げることにより、従来のようなトランジスタQ22、Q20による2つの電源VDD1、VDD2の切り換えを実施しなくても、データ信号をレベルシフトさせて出力することができる。これにより、従来に比して消費電力を低減し、構成を簡略化することができる。

【0035】

(2) 第2の実施の形態

図5は、第2の実施の形態に係るサンプリングラッチ61及び第2ラッチ62であり、図1について上述したサンプリングラッチ51及び第2ラッチ22に代えて適用される。

【0036】

ここでこのサンプリングラッチ61及び第2ラッチ62は、サンプリングラッチ61でラッチする際に、併せてレベルシフトさせる。すなわちサンプリングラッチ61では、CMOSラッチセル7が、サンプリングパルスspによりオンオフ動作するトランジスタQ31、Q32により電源に接続され、これにより図6に示すように、サンプリングラッチ61において、CMOSラッチセル7を電源VDD2、VSS2から切り離した状態で、ラッチに供するデータをこのCMOSラッチセル7にセットした後(図6(A)～(C))、前段の回路からこのCMOSラッチセル7の入力を切り離すと共に、トランジスタQ31、Q32によりこのCMOSラッチセル7の電源を立ち上げることにより、サンプリングラッチ61でレベルシフトの処理を実行した後、第2ラッチ62でラッチする(図6(D)～(E))。

【0037】

この実施の形態のようにサンプリングラッチ側で併せてレベルシフトさせるようにしても、第1の実施の形態と同様の効果を得ることができる。

【0038】

(3) 他の実施の形態

なお上述の実施の形態においては、各画素の各ビットの処理系にそれぞれトランジスタQ19、Q20又はQ31、Q32を設ける場合について述べたが、本発明はこれに限らず、これら処理系をグループ化して各グループにそれぞれこれらのトランジスタを配置してまとめて電源を制御するようにしてもよく、さらにはすべての処理系でまとめて電源を制御するようにしてもよい。

【0039】

また上述の実施の形態においては、液晶セルによる画素を駆動する場合について述べたが、本発明はこれに限らず、種々の表示手段により画素を構成するフラットディスプレイ装置に広く適用することができる。

【0040】

【発明の効果】

上述のように本発明によれば、CMOSラッチセルを電源から切り離した状態で、このCMOSラッチセルの入力を前段の回路に接続して対応するデータをセットした後、この前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせることにより、従来に比して消費電力を低減し、構成を簡略化することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るサンプリングラッチ及び第2ラッチを示す接続図である。

【図2】

図1のサンプリングラッチ及び第2ラッチの液晶表示部による携帯端末装置を示すブロック図である。

【図3】

図2の水平駆動回路を示すブロック図である。

【図4】

図1のサンプリングラッチ及び第2ラッチの動作の説明に供するタイムチャートである。

【図5】

本発明の第2の実施の形態に係るサンプリングラッチ及び第2ラッチを示す接続図である。

【図6】

図5のサンプリングラッチ及び第2ラッチの動作の説明に供するタイムチャートである。

【図7】

基準電圧を選択する方式によるデジタルアナログ変換回路を示す接続図である。

【図8】

従来のサンプリングラッチ及び第2ラッチを示す接続図である。

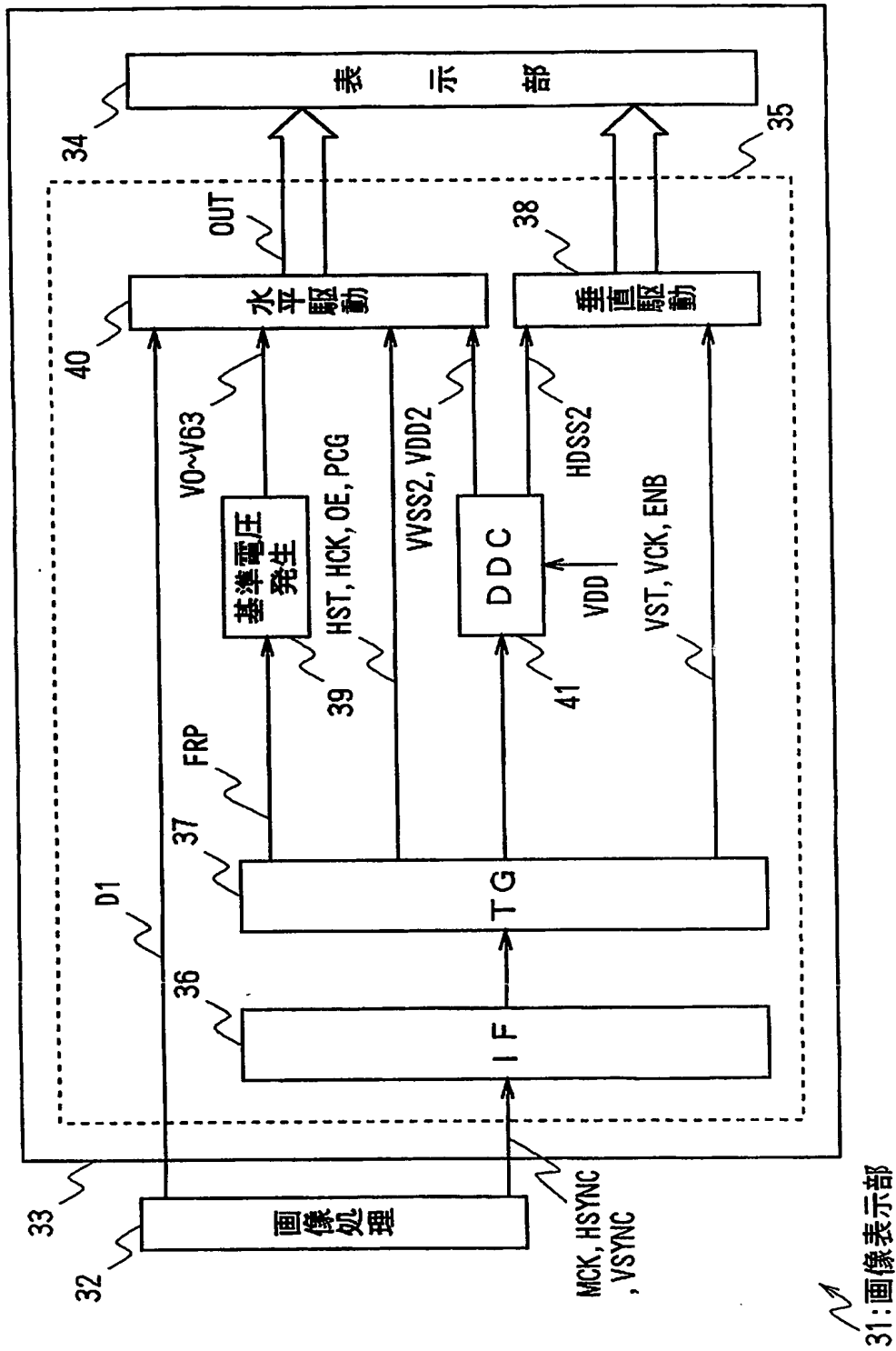
【図9】

図8のサンプリングラッチ及び第2ラッチの動作の説明に供するタイムチャートである。

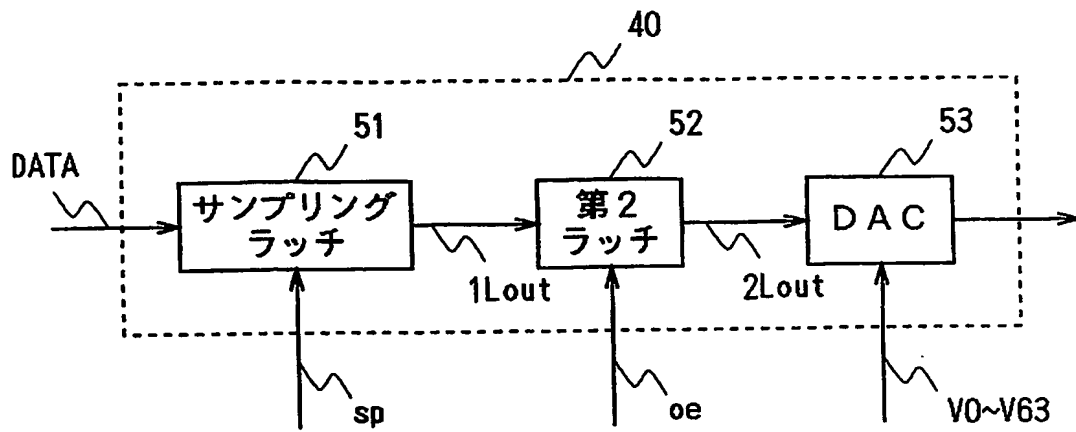
【符号の説明】

1……デジタルアナログ変換回路、3、51、61……サンプリングラッチ、4、52、62……第2ラッチ、40……水平駆動回路、7、12……ラッチセル

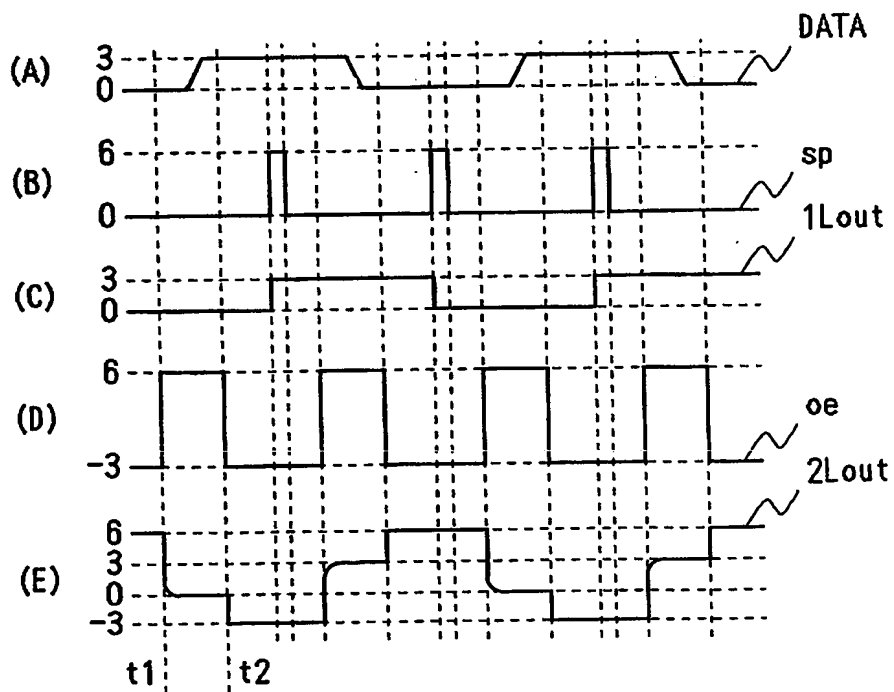
【図2】



【図3】



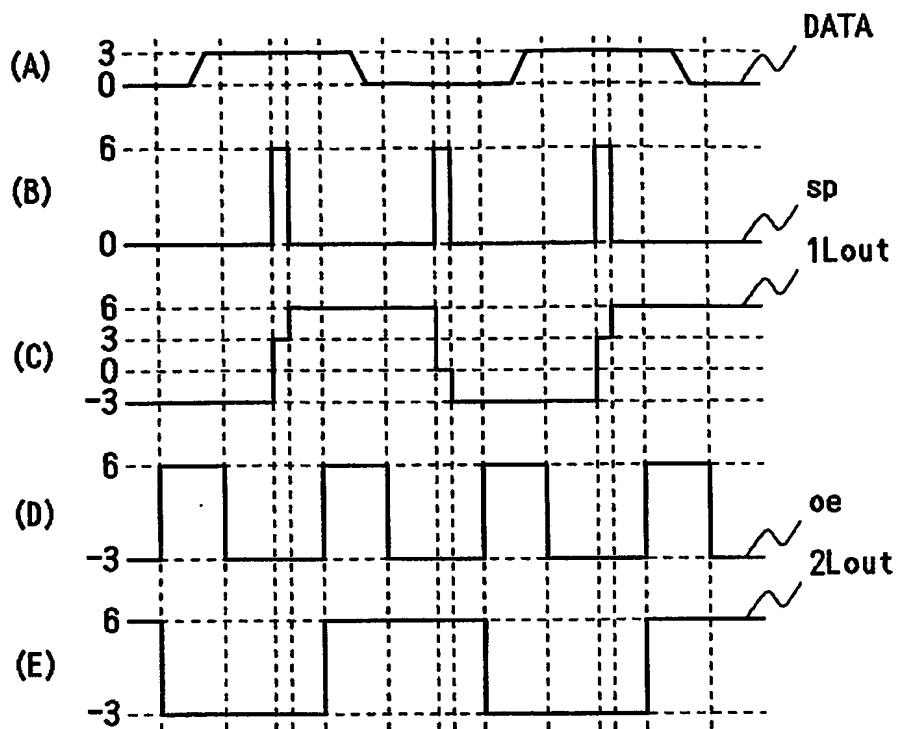
【図4】



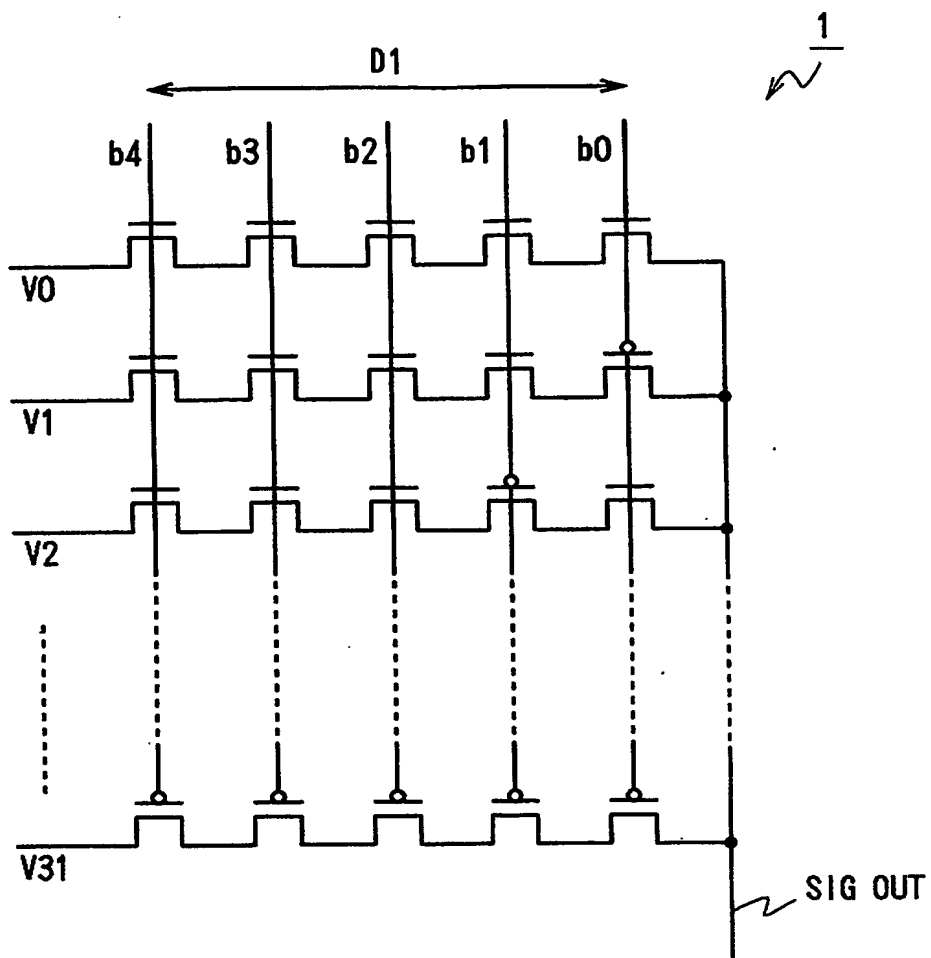
【図 5】



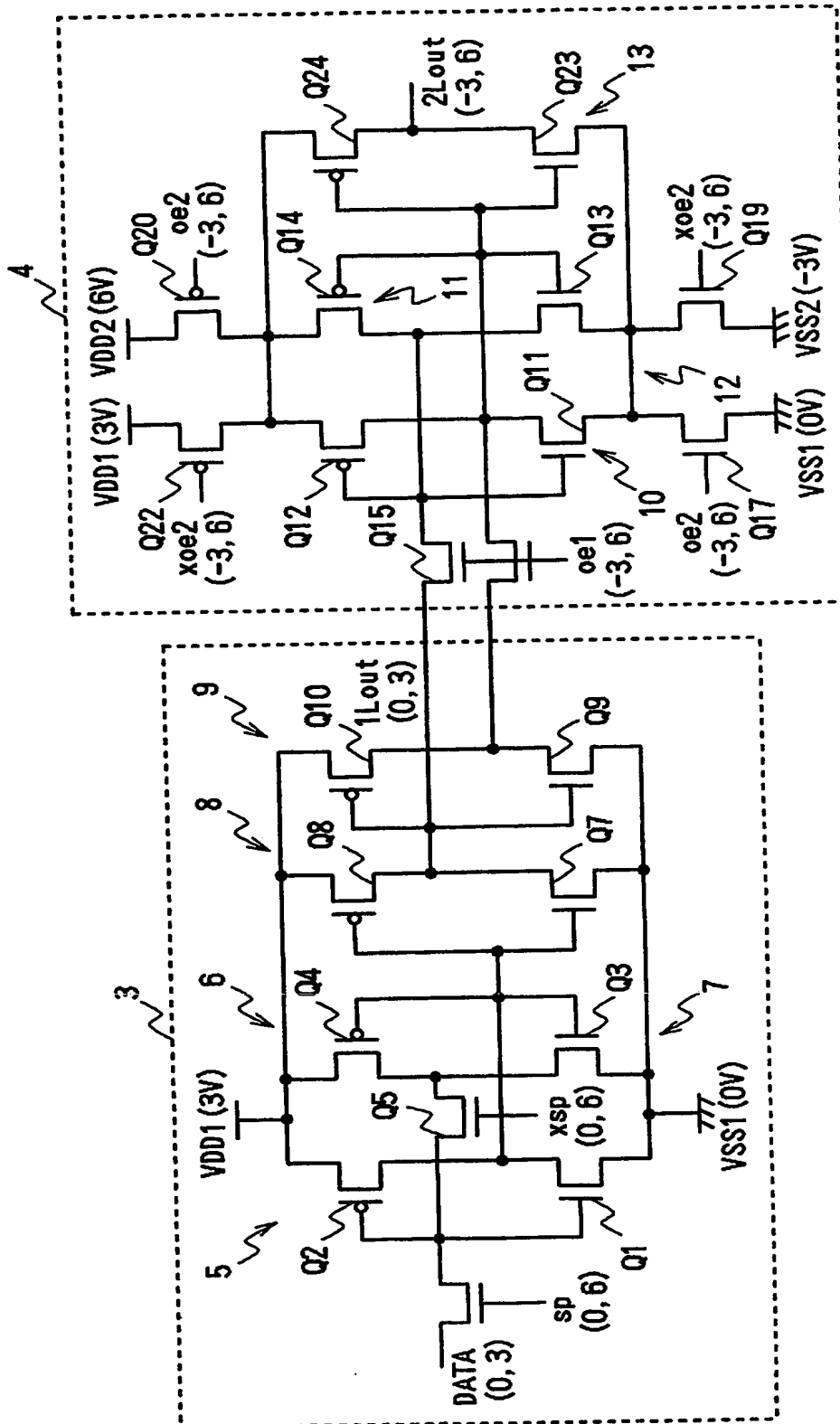
【図 6】



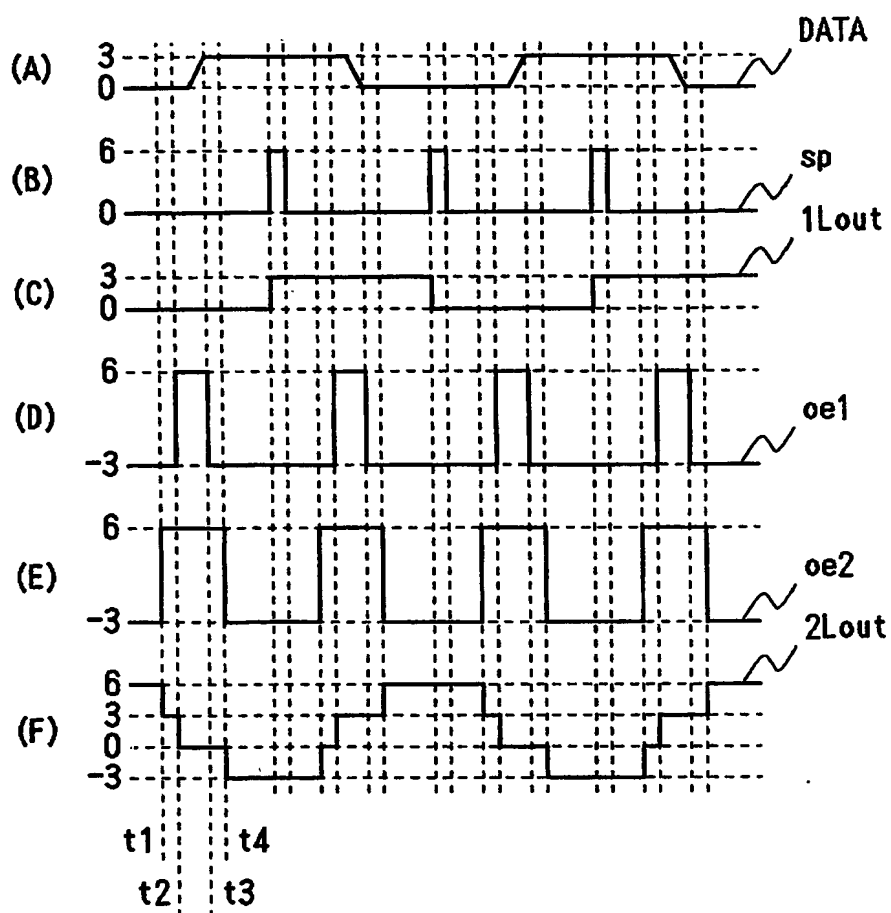
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 本発明は、ラッチ、ラッチの駆動方法、フラットディスプレイ装置に関し、例えば液晶表示装置の水平駆動回路、この水平駆動回路による液晶表示装置等に適用して、従来に比して消費電力を低減し、構成を簡略化し得るようにする。

【解決手段】 本発明は、CMOSラッチセル12を電源VDD2、VSS2から切り離した状態で、このCMOSラッチセル12の入力を前段の回路51に接続して対応するデータをセットした後、この前段の回路51からCMOSラッチセル12の入力を切り離すと共に、CMOSラッチセル12の電源VDD2、VSS2を立ち上げて、CMOSラッチセル12にセットしたデータをレベルシフトさせる。

【選択図】 図1

特願 2 0 0 3 - 0 1 5 6 3 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.